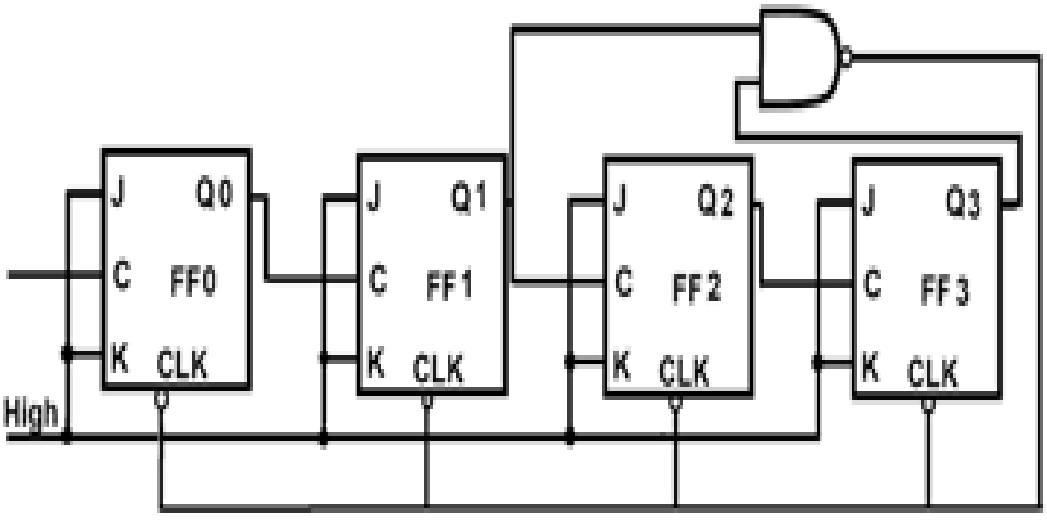
العدادات

COUNTERS



أعداد : محمد مالك محمد
رئيس مهندسين

Chief Engineer Muhammad Malik

12/15/2013

الخلاصة:

أن هذا البحث يخص موضوع العدادات الألكترونية التي تدخل في تصميم العديد من الدوائر المنطقية الخاصة بتصنيع الحاسبات وأجهزة السيطرة وأجهزة الأنذار المبكر وغيرها من الأجهزة التي تعمل في المصانع والمصافي ومراكز البحوث وغرف السيطرة في المجالات الصناعية والفضائية وغيرها.

وقد تطرق البحث الى النطاطات التي تمثل الوحدات الأساسية التي يتكون منها العداد والأنواع الرئيسية من العدادات وتصميمها وطريقة عملها .

وقد أعتمد البحث على الجانب النظري بشكل رئيسي لبيان بعض النطاطات الرئيسية وطريقة عملها بالأستعانة بالأمثلة التوضيحية ومن ثم التطرق الى تصميم العدادات وتوضيح طريقة عملها .

لذلك فأن هذا الموضوع لاغنى عنه بالنسبة للعاملين في المجالات الهندسية وأجهزة السيطرة في المصانع والمبرمجين الذين يعملون في المجالات المختلفة .

أعداد : محمد مالك محمد / رئيس مهندسين

المحتويات :

المقدمة 3
العدادات COUNTERS 4
النطاط FLIP FLOP 4
النطاط R S المؤقت Clocked R S Flip Flop 8
النطاط J K 10
نطاط التأخير D Delayed Flip Flop 13
العداد الثنائي الرباعي المراحل Four Bit Binary Counter 15
العدادات العشرية غير المتزامنة Asynchronous Decade Counters .. 19
العداد العشري ذو الشفرة الثنائية Binary Coded Decimal (BCD) 19
العدادات القاطعة Truncated Counters 21
العداد المتزامن Synchronous Counter 23
المصادر 26

المقدمة :

تعتبر العدادات Counters من التطبيقات المهمة في الدوائر المنطقية حيث أنها تدخل في تصميم دوائر الحاسبات ودوائر السيطرة وغيرها .

لغرض دراسة العدادات Counters لابد لنا في بداية الأمر من معرفة ماهية مكونات العدادات وحيث أنها تتكون من مجموعة من النطاطات Flip Flops لذا كان لزاما علينا التطرق الى موضوع النطاطات Flip Flops وبيان كيفية تصميها والأطلاع على الدائرة الألكترونية الأساسية دائرة متعدد الأهتزازات ثنائي الأستقرار Bitable Multivibrator التي تعتبر حجر الأساس في تصميم وبناء النطاطات وبعض أنواع النطاطات التي من الممكن أستخدامها في تصميم وبناء دوائر العدادات .

COUNTERS العدادات

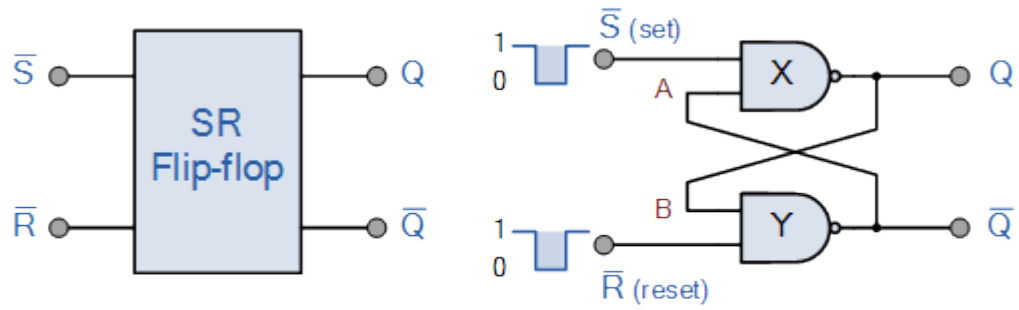
يتكون العداد Counter من مجموعة من النطاطات Flip flops المربوطة مع بعضها البعض .ويمكن تصنيف العدادات الى صنفين أعتمادا على طريقة أيصال نبضة التوقيت الى النطاطات وكما يأتـــي :

1- العداد المتزامن Synchronous Counter وفيه تربط ساعة التوقيت الى جميع النطاطات في العداد في آن واحد فتتغذى جميع النطاطات بنبضة التوقيت بشكل متزامن .
2- العداد غير المتزامن Asynchronous Counter وفيه تربط ساعة التوقيت الى النطاط الأول أما بقية النطاطات فأنها تحصل على نبضة التوقيت من أحدى نقطتي خروج النطاط السابق لها ولذلك يكون التوقيت في هذا النوع من العدادات غير متزامن ، اي أنه يوجد فرق في الزمن بين لحظة وصول نبضة التوقيت الى النطاط الأول والثاني والثالث وهكذا .

لكي نفهم عمل العدادات علينا أن نفهم أولا عمل النطاط .

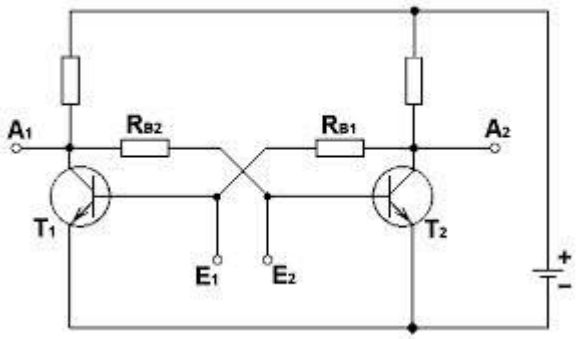
النطاط FLIP FLOP :

عبارة عن دائرة ألكترونية مكونة من ترانزستورين تدعى دائرة متعدد الأهتزازات ثنائي الأستقرار Bitable Multivibrator تكون أشارة الخروج فيها أما بقيمة عالية فيرمز لها بالقيمة المنطقية Logic 1 أو بقيمة واطئة فيرمز لها بالقيمة المنطقية Logic 0 حيث تبقى قيمة أشارة الخروج على ما هي عليه حتى يتم تسليط نبضة قدح Trigger voltage على دخول الدائرة Input كما موضح في المخطط المنطقي في الشـــكل .



www.electronics.tutorials.ws/sequential/seq-1.html

ولبيان طريقة عمل الدائرة في المخطط المنطقي في الشكل أعلاه نستعين بالدائرة الألكترونية لمتعدد الأهتزازات ثنائي الأستقرار كما في الشـــــــــــــــــــكل .



In,images.search.yahoo.com/yhs/search?-adv- prop=image&fv=yhs-babylon

في هذه الدائرة نرى ربطا تقاطعيا بين جامع الترانزستور الأول وقاعدة الترانزستور الثاني وبين جامع الترنزستور الثاني وقاعدة الترانزستور الأول فتتكون تغذية عكسية بين الترانزستورين .

عندما يكون الترانزستور T1 في حالة أشباع فأن الفولتية على جامع T1 ستكون منخفضة فتؤثر على الترانزستـــور T2 فتجعله في حالة قطع (Cut off). وكذلك الحال عندما يكون الترانزستور الثاني T2 في حالة أشباع (Saturation) فتصل فولتية قليلة الى قاعدة الترانزستور الأول T1 أقل من V_{BE} فيكون T1 في حالة قطع

نستنتج مما تقدم وجود حالتي استقرار لهذه الدائرة ،الأولى عندما يكون T1في حالة أشباع يكون T2 في حالة قطع والعكس با لعكس ولهذا سميت هذه الدائرة بمتعدد الاهتزازات ثنائي الاستقرار .

للسيطرة على هذه الدائرة وجعلها في أحدى الحالتين السابقتين يجب أضافة فولتية قدح (Trigger Voltage) عن طريقين :

الطريق الأول من E_1 يدعى خط التثبيت (Set line) .

الطريق الثاني من E_2 يدعى خط التعديل (Reset line).

بعد أضافة هذين الخطين الى الدائرة يدعى هذا النوع من متعددات الأهتزازات بالنطاط (SET RESET FLIP FLOP)

ففي الدائرة في الشكل أعلاه عند تسليط فولتية عالية Logic 1على خط التثبيت (Set line) الممثل بالنقطة E1 فأنها تثبت النطاط فيكون خروج الدائرة

$A_2=1$ و $A_1=0$

أما أذا سلطنا فولتية عالية Logic 1على خط التعديل (Reset line)الممثل بالنقطة E_2 فأنها ستجعل النطاط في حالة تعديل فيكون خروج الدائرة

$A_1=1$ و $A_2=0$

من هنا يمكن الأستنتاج بأن خروج النطاط يكون في خط التعديل بالقيمة المتممة لخروج النطاط في خط التثبيت ، يمكننا الآن تكوين جدول الحقيقة (Truth table) لحالات خروج النطاط عند تسليط الأشارات المختلفة كما يأتـــــــــــي :

S	R	Y
0	0	**لاتتغيرحالة النطاط**
0	1	**0**
1	0	**1**
1	1	**لايمكن أستخدامها**

حيث أن Y تمثل A_2 في الدائرة و$\overline{Y}$ تمثل A_1

يمكن توضيح الأحتمالات الأربعة في جدول الحقيقة أعلاه كما يأتي:

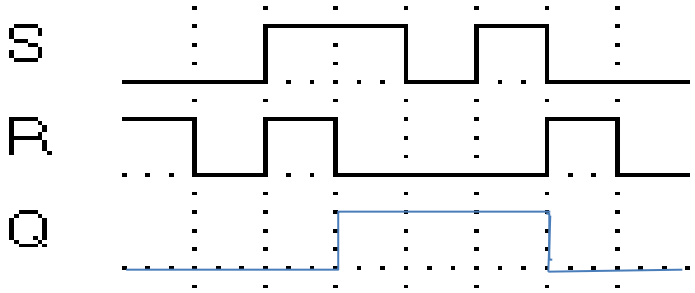
1- عندما تكون كل من S=0 و R=0
أي في حالة عدم تسليط فولتية قدح (Trigger Voltage) فنتيجة لذلك تبقى حالة النطاط كما كانت عليه سابقا بدون تغيير اي كما في السابقة (Last State) .

2- عندما تكون S=0 و R=1
اي عندما تسلط فولتية القدح على المدخل R تكون أشارة الخروج Y=0 أي أن $\overline{Y}$=1 .

3- عندما تكون S=1 و R=0
أي عندما تسلط فولتية القدح على المدخل S تكون أشارة الخروج Y=1 و $\overline{Y}$=0 .

4- عندما تكون S=1 وR=1
في هذه الحالة لايمكن السيطرة على الدائرة لأن هذه الحالة تعني بأننا نحصل على أشارة الخروج Y بالقيمتين Logic 1 وLogic 0 في آن واحد وهذا مالا يمكن أن يحدث .

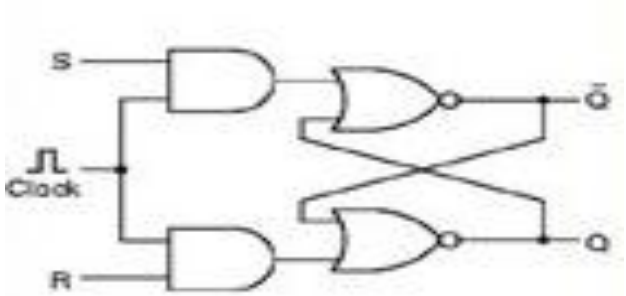
مثال : أدخلت النبضات الآتية الى النطاط RS حدد شكل أشارة الخروج بأفتراض أن القيمة الأبتدائية لها تساوي Logic 0.



Q تمثل الأشارة الخارجة من النطاط أعتمادا على الأحتمالات الموجودة في جدول الحقيقة.

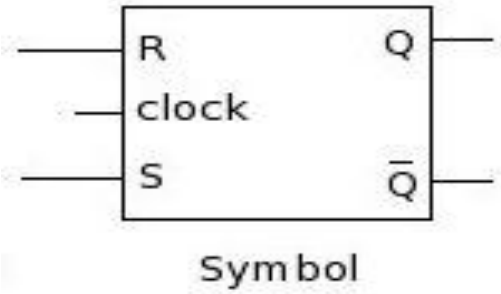
النطاط RS المؤقت Clocked RS Flip flop :

يمكن أدخال نبضة توقيت الى النطاط عن طريق أضافة بوابتين من نوع AND الى مدخلي النطاط للتحكم في عمل النطاط حيث أنه لايمكن دخول الأشارة الى النطاط ما لم تكن أشارة نبضة التوقيت عالية Logic (1) كما في الشـــــــــــــــــــكل .



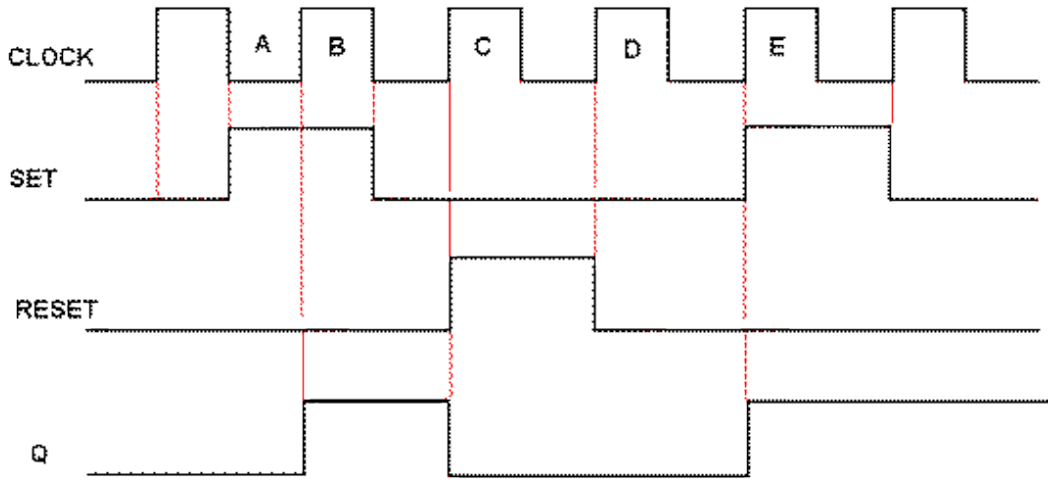
http://www.google.iq/search?q=RS+flip+flop&hl=ar&biw=1440&bih=799&tbm=isch&tbo=u&source=univ&sa=X&ei=LkWcUu3XOs_KswbnoIH4Bw&ved=0CCYQsAQ

هذا النوع من النطاطات يمكن التحكم به عن طريق نبضة ساعة التوقيت حيث أنه عندما تكون نبضة ساعة التوقيت بقيمة صفر(0) فان أشارتي الدخول الى النطاط (R S) تكون بقيمة صفر(0) مهما كانت قيم الأشارات الداخلة الى الطرفين R و S أما أذا كانت نبضة ساعة التوقيت بقيمة (1) فأن أشارتي الدخول الى النطاط تعتمد قيمتها على قيم الأشارات الداخلة الى الطرفين R و S .



Symbol

مثال : أدخلت النبضات الآتية الى النطاط RS المؤقت حدد شكل أشارة الخروج مع أفترض أن الحالة الأبتدائية لخروج النطاط هي Logic 0 .

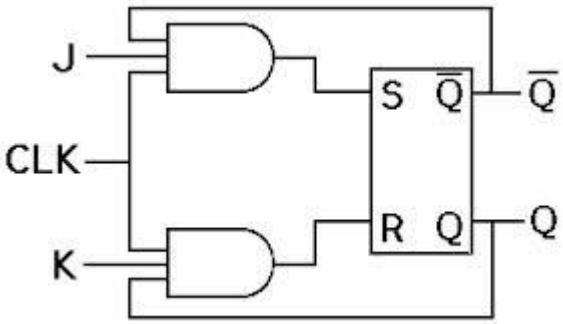


http://www.hobbyprojects.com/flip_flop/clocked_R-S_flip-flop.html

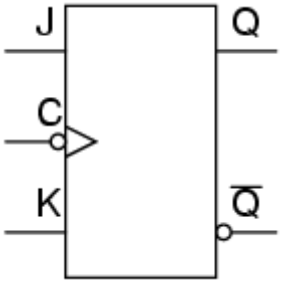
1- عندما تكون نبضة التوقيت الأولى A بقيمة (1) وتكون كل من قيمتي R و S بقيمة واطئة لاتحدث عملية تغييرٍ في الأشارة الخارجة .
2- عند نبضة التوقيت الثانية B قيمة S=1 وقيمة R=0 فتصبح Q بقيمة (1) .
3- عند نبضة التوقيت الثالثة C قيمة S=0 وقيمة R=1 فتصبح Q بقيمة (0) .
4- عند نبضة التوقيت الرابعة D قيمة S=0 وقيمة R=0 فلا يحدث تغيير في أشارة الخروج .
5- عند نبضة التوقيت الخامسة E قيمة S=1 وقيمة R=0 فتصبح Q بقيمة (1)

النطاط JK JK flip flop

يمكن الحصول على النطاط JK من النطاط RS كما يأتي :



أما الرمز المنطقي للنطاط JK فهو :



http://www.google.iq/search?q=jk+flip+flop&hl=ar&biw=1440&bih=763&tbm=isch&tbo=u&source=univ&sa=X&ei=iz-cUsOILavNygPFqoGIDg&ved=0CCYQsAQ#imgdii=_

أما جدول الحقيقة لهذا النطاط فهو :

Clock	J	K	Q
X	0	0	**Last State**
1	0	1	**0**
1	1	0	**1**
1	1	1	$\overline{\textbf{Last State}}$

أن حالات عمل النطاط هي كما يأتـــي :

1- عندما تكون كل من J=0 و K=0 في هذه الحالة تكون كل من بوابتي AND في حالة أبطال فتبقى كل من Q و $\overline{Q}$ على ما كانت عليه .

2- عندما تكون J=0 و K=1 ففي هذه الحالة تكون بوابة AND العليا في حالة أبطال Disable وبوابة AND السفلى في حالة تمكين Enable .فعندما تكون قيمة Q السابقة تساوي (1) وعند الأنحدار السالب لنبضة التوقيت تصبح قيمة Q الجديدة (0) أي الحالة الثانية في جدول الحقيقة أي حالة التعديل Reset .

3- عندما تكون J=1 و K=0 ففي هذه الحالة تكون بوابة AND السفلى في حالة أبطال Disable وبوابة AND العليا في حالة تمكين Enable ،في هذه الحالة تتم حالة التثبيت Set للنطاط .

4- عندما تكون J=1 و K=1 في هذه الحالة من الممكن تثبيت أو تعديل حالة النطاط ويتم ذلك كما يأتي :

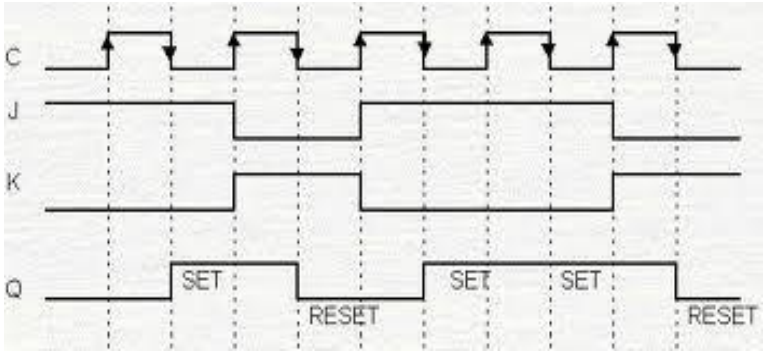
أذا كانت قيمة Q السابقة تساوي صفرا (0) فأن البوابة العليا تكون في حالة تمكين Enable والبوابة السفلى تكون في حالة أبطال Disable في هذه

الحالة تكون قيمة S=1 أي حالة تثبيت عند الأنحدار السالب لنبضة التوقيت Set.

أما أذا كانت قيمة Q السابقة تساوي (1) فأن البوابو العليا تكون في حالة أبطال Disable والبوابة السفلى تكون في حالة تمكين Enable وعند الأنحدار السالب لنبضة التوقيت يصبح النطاط في حالة تعديل Reset أي حصول تغيير في حالة النطاط أيضا .

يمكن تلخيص الحالة الأخيرة بأن قيمة أشارة الخروج تساوي القيمة المتممة لأشارة الدخول (أي أنقلاب الحالة) كما موضح في جدول الحقيقة .

مثال: أدخلت النبضات الآتية الى النطاط JK حدد شكل أشارة الخروج مع أفترض أن الحالة الأبتدائية لخروج النطاط هي Logic 0 .



http://www.google.iq/search?q=jk+flip+flop&hl=ar&biw=1440&bih=763&tbm=isch&tbo=u&source=univ&sa=X&ei=iz-cUsOILavNygPFqoGIDg&ved=0CCYQsAQ#imgdii=_

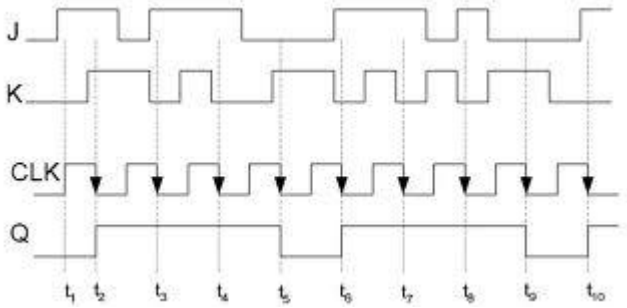
1- أن هذا النطاط يعمل عند الأنحدار السالب لنبضة التوقيت .
2- عند الأنحدار السالب للنبضة الأولى J=1 و K=0 لذلك تصبح Q بقيمة 1 فيكون النطاط في حالة التثبيت.
3- عند الأنحدار السالب للنبضة الثانية J=0 و K=1 لذلك تصبح Q بقيمة 0 فيكون النطاط في حالة التعديل .

4- عند الأنحدار السالب للنبضة الثالثة J-1 و K=0 لذلك تصبح Q بقيمة 1 فيعود النطاط الى حالة التثبيت .

5- عند الأنحدار السالب للنبضة الرابعة J=1 و K=0 لذلك تبقى Q بقيمة 1 فيبقى النطاط في حالة التثبيت.

6- عند الأنحدار السالب للنبضة الخامسة J=0 و K=1 لذلك تصبح Q بقيمة 0 فيعود النطاط الى حالة التعديل.

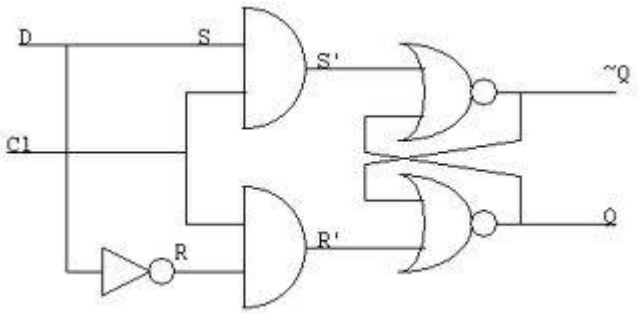
مثال: أدخلت النبضات الآتية الى النطاط JK حدد شكل أشارة الخروج مع أفتراض أن الحالة الأبتدائية لخروج النطاط هي Logic 0



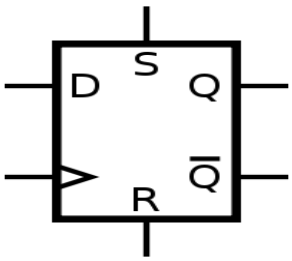
http://www.google.iq/search?q=jk+flip+flop&hl=ar&biw=1440&bih=763&tbm=isch&tbo=u&source=univ&sa=X&ei=iz-cUsOILavNygPFqoGIDg&ved=0CCYQsAQ#imgdii=_

نطاط التأخير D **Delayed Flip Flop**

أحدى الطرق المستخدمة لتصميم النطاط D هي بأستخدام النطاط RS وكما مبين في الشـــكل :



أما الرمز المنطقي للنطاط فهو :



http://www.google.iq/search?q=Delay+flip+flop&hl=ar&biw=1440&bih=799&tbm=isch&tbo=u&source=univ&sa=X&ei=i0GcUovnOcbNygPiyYDQBw&ved=0CDMQsAQ

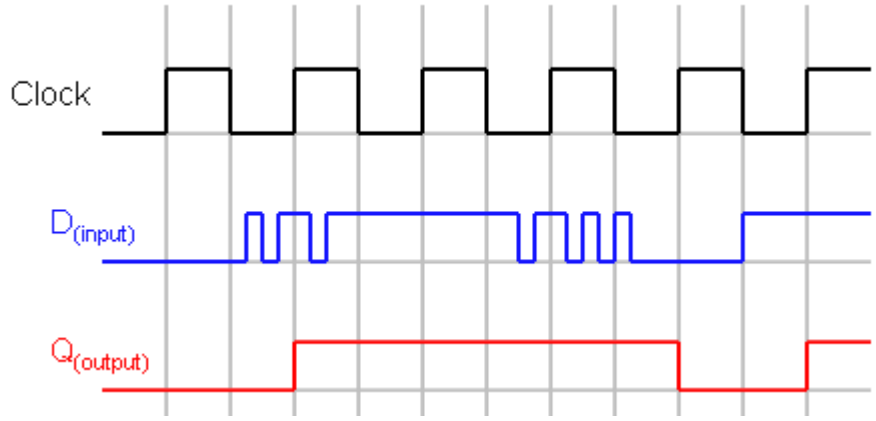
أما جدول الحقيقة Truth Table لهذا النطاط فهو :

Clock	D	Q
0	X	**Last State**
1	0	**0**
1	1	**1**

في هذا النوع من النطاطات قيمة D الداخلة تمنع من الوصول الى Q الا عند وصول نبضة التوقيت .
عندما تكون أشارة نبضة التوقيت منخفضة تكون بوابتي AND في حالة أبطال Disabled لذلك لاتتغير قيمة Q بتغير قيمة D .

أما عندما تكون أشارة نبضة التوقيت عالية تكون بوابتي AND في حالة تمكين Abled في هذه الحالة تكون قيمة Q مساوية لقيمة D وعندما تنخفض قيمة أشارة التوقيت مرة ثانية فأن نقطة Q ستحتفظ بآخر قيمة ل D .
يتضح لنا مما سبق أن النطاط D يمكنه تحويل الأشارة الواصلة الى مدخله D الى نقطة الخروج Q عند أستلام نبضة التوقيت .

مثال : أذا كانت الأشارات الداخلة الى النطاط كما في الشكل حدد شكل أشارة الخروج Q
أفترض أن الحالة الأبتدائية لخروج النطاط هي Logic 0 .

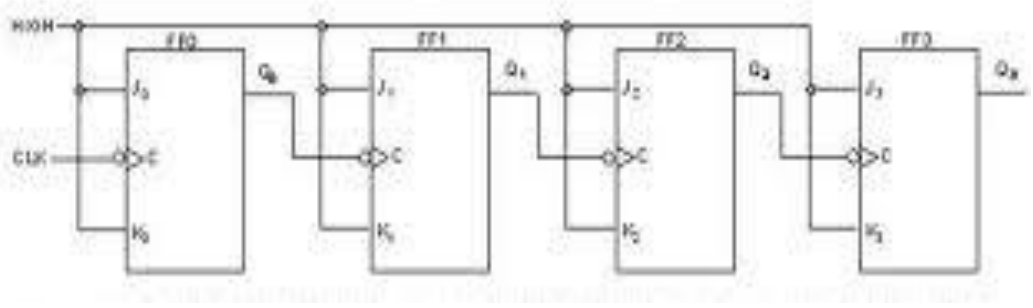


http://www.google.iq/search?q=Delay+flip+flop&hl=ar&biw=1440&bih=799&tbm=isch&tbo=u&source=univ&sa=X&ei=i0GcUovnOcbNygPiyYDQBw&ved=0CDMQsAQ

نلاحظ من المخطط الزمني أنه في أية لحظة زمنية تكون قيمة أشارة التوقيت (1) وقيمة D تساوي (1) فأن قيمة أشارة الخروج تصبح (1) أما أذا كانت قيمة أشارة التوقيت (1) وقيمة D تساوي (0) فأن قيمة الأشارة في الخروج Q تصبح (0) .
أما عندما تكون قيمة أشارة التوقيت (0) فأن ألأشارة الخارجة من النطاط لاتتأثر بأشارة الدخول .

العداد الثنائي الرباعي المراحل **Four Bit Binary Counter**

أن هذا العدادا يقوم بعد نبضات القدح الداخلة أليه . أحدى الطرق للحصول على هذه النوعية من العدادات هي المبينة في الشـــــــــــــــــــــــــــــــكل .



http://www.google.iq/search?q=four+bit+binary+counter&biw=1440&bih=763&tbm=isch&tbo=u&source=univ&sa=X&ei=1XedUtq6JuTNygO_9IH4CA&ved=0CDQQsAQ

في هذا العداد نلاحظ أن نقاط ال J و ال K للنطاطات جميعا مربوطة الى مصدر الفولتية العالي HIGH للدائرة وأن هذه النطاطات تتغير حالتها عند الأنحدار السالب لنبضة التوقيت كما بينا سابقا ، وأن الأشارة الخارجة من النطاط الأول تقدح النطاط الثاني والأشارة الخارجة من النطاط الثاني تقدح النطاط الثالث والأشارة الخارجة من النطاط الثالث تقدح النطاط الرابع وهكذا ولذلك فأن هذا العداد يسمى بالعداد المتوالي Serial Counter ويسمى أيضا بالعداد غير المتزامن Asynchronous Counter لأن نبضة القدح تنتقل من نطاط الى آخر كما تنتقل الموجة على سطح الماء.

لتفسير عمل هذا العداد لنفترض أن تكون النطاطات المكونة له في حالة التعديل Reset أي أن أشارة الخروج فيها جميعا تساوي صفر (0) فتكون الحالة الأولى لخروج العداد

DCBA=0000

الآن عند دخول النبضة الأولى لساعة التوقيت وعند الأنحدار السالب لها أي عندما تتغير من ال 1 الى 0 فتتغير حالة خروج النطاط من ال 0 الى 1 عند نهاية النبضة الأولى فتصبح حالة خروج العداد

DCBA=0001

أن هذا التغير الموجب لخروج النطاط من ال 0 الى ال 1 لأيؤثر على النطاط B لأنه يستجيب فقط للتغير السالب للنبضة الداخلة أي التغير من ال 1 الى ال 0

وعند وصول النبضة الثانية لساعة التوقيت فأن النطاط A يغير حالته من ال 1 الى ال 0 عند نهايتها السالبة وهذا التغير السالب يجعل النطاط B يتغير من ال 0 الى ال 1 فتصبح حالة خروج العداد

DCBA=0010

وبما أن هذا التغير في حالة النطاط B موجبا أي من ال 0 الى ال 1 فأنه لايؤثر على النطاط C .

الآن عند وصول النبضة الثالثة لساعة التوقيت فأن النطاط A يغير حالته من ال 0 الى ال 1 عند نهايتها السالبة وهذا التغير الموجب لايؤثر على النطاط C فتصبح حالة خروج العداد

DCBA=0011 الى ال

وعند وصول النبضة الرابعة لساعة التوقيت فأن النطاط A يغير حالته من ال 1 الى ال 0 عند نهايتها السالبة يؤدي الى تغيير خروج النطاط B من ال 1 الى ال 0 وهذا التغير السالب يؤدي الى أن النطاط C يغير حالته أيضا من ال 0 الى ال 1 فتصبح حالة خروج العداد

DCBA=0100

يتبين لنا مما سبق بأن حالة خروج العداد مطابقة للأرقام الثنائية المتعاقبة المكافئة لرقم النبضة الداخلة وبالأستمرار بأدخال النبضات الى العداد يمكن الحصول على جدول الحقيقة Truth Table لهذا العداد كما يأتـــــــــــــــــــــــــــــــي :

Clock Pulse	D	C	B	A
0	0	0	0	**0**
1	0	0	0	**1**
2	0	0	1	**0**

3	0	0	1	**1**
4	0	1	0	**0**
5	0	1	0	**1**
6	0	1	1	**0**
7	0	1	1	**1**
8	1	0	0	**0**
9	1	0	0	**1**
10	1	0	1	**0**
11	1	0	1	**1**
12	1	1	0	**0**
13	1	1	0	**1**
14	1	1	1	**0**
15	1	1	1	**1**
0	0	0	0	**0**

جدول الحقيقة للعداد الثنائي الرباعي المراحل

بعد النبضة الخامسة عشر لساعة التوقيت قيمة A تتغير من ال 1 الى ال 0 وهذا التغير السالب يؤدي الى أن قيمة B تتغير من ال 1 الى ال 0 وهذا التغير السالب يؤدي الى أن قيمة C تتغير من ال 1 الى ال 0 وهذا التغير السالب يؤدي الى أن قيمة D تتغير من ال 1 الى ال 0 أي أن جميع النطاطات تصبح في حالة التعديل Reset كما مبين في الصف الأخير من جدول الحقيقة .

من هنا نرى أن هذا العداد الثنائي يستطيع حساب الأرقام (من 0 الى 15) فأذا رمزنا الى الرقم الذي يستطيع العداد قراءته بالرمز N وعدد النطاطات المستخدمة في بناء العداد بالرمز n فيمكن أيجاد العلاقة التي تربط بينهما وفق المعادلة :

$$N=2^n-1$$

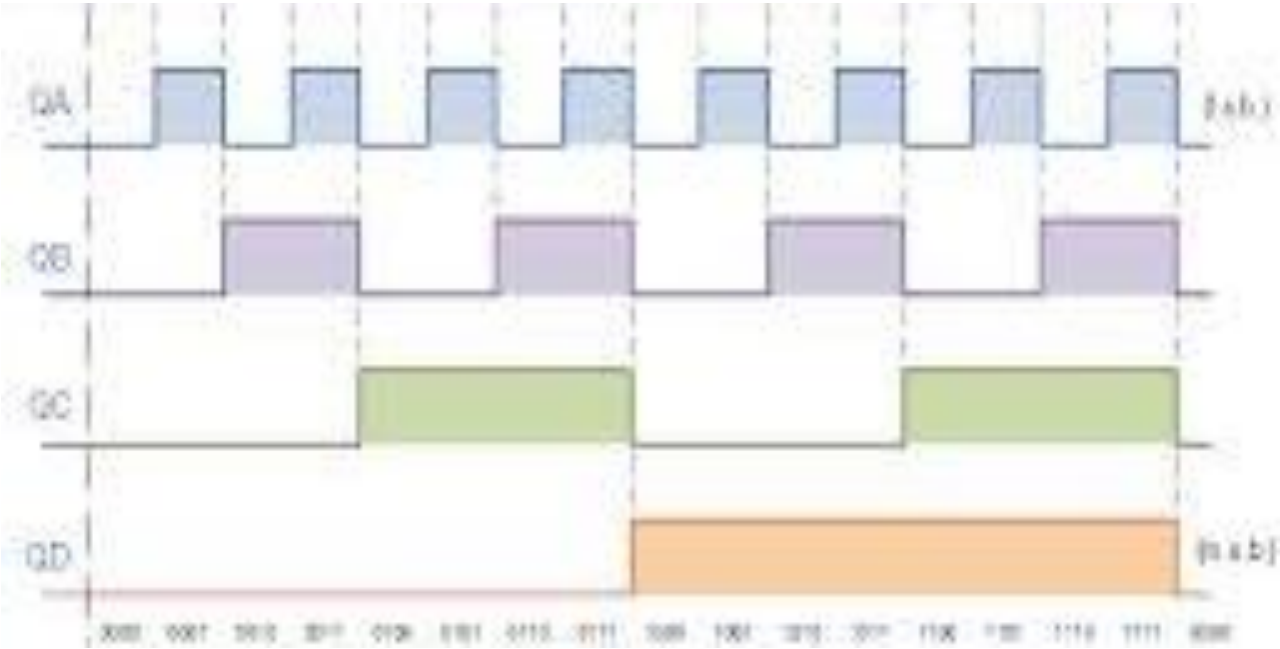
فعندما تكون قيمة n=3 فأن أكبر عدد يستطيع العداد حسابه هو

$N=2^3-1=7$

وعندما تكون قيمة n=5 فأن أكبر عدد يستطيع العداد حسابه هو

$N=2^5-1=31$

أما المخطط الزمني لهذا العداد فهو كما في الشـــــــــــــــــــــــــــــــكل :



http://www.google.iq/search?q=four+bit+binary+counter&biw=1440&bih=763&tbm=isch&tbo=u&source=univ&sa=X&ei=1XedUtq6JuTNygO_9IH4CA&ved=0CDQQsAQ

العدادات العشرية غير المتزامنة (المتوالية) Asynchronous Decade Counter

أستنادا الى المعادلة التي تم ذكرها سابقا :

$$N=2^n-1$$

يمكن أستخدام النطاطات لتصميم عدادات يمكنها حساب أي رقم من الأرقام أعتمادا على عدد النطاطات المستخدمة . ولكن لحساب أرقام أقل من الأرقام التي نحصل

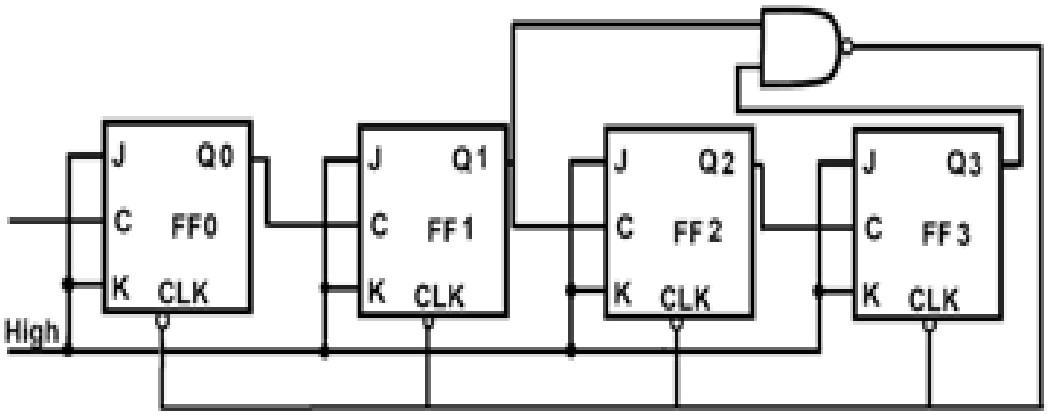
عليها من المعادلة أعلاه كأن يحسب العداد لغاية الرقم 12 مثلا في حالة أستخدام أربعة نطاطات أو أن يحسب العداد لغاية الرقم 4 مثلا في حالة أستخدام ثلاثة نطاطات . تدعى هذه النوعية من العدادات بالعدادات القاطعة Truncated Counter والنوعية الأكثر شيوعا من هذه العدادات هي العداد العشري Decade Counter التي تحسب من (0)(0000) لغاية (9)(1001) بأستخدام نظام الأعداد المسمى Binary Coded Decimal (BCD) . أن شفرة ال BCD نحتاج أليها في التحويل الى النظام العشري لذلك هذه النوعية من العدادات تعتبر من النوعيات المهمة في التطبيقات العملية.

للحصول على تتابع عددي مقطوع عند عدد محدد يجب التأثير على العداد ليقوم بأعادة دورة العد من الصفر (0) قبل الوصول الى النهاية الطبيعية لدورته المعتادة وفق المعادلة :

$$N=2^n-1$$

العداد العشري ذو الشفرة الثنائية Binary Coded Decimal (BCD)

لبناء العداد العشري ذو الشفرة الثنائية (BCD) فيجب أعادة العداد الى الرقم (0) (0000) في النبضة التالية لحالة العداد في الرقم (9) (1001) ،في هذه الحالة يجب أستخدام أربعة نطاطات لبناء هذا العداد من النوع المتوالي(Asynchronous Counter) كما موضح في الشـــكل :

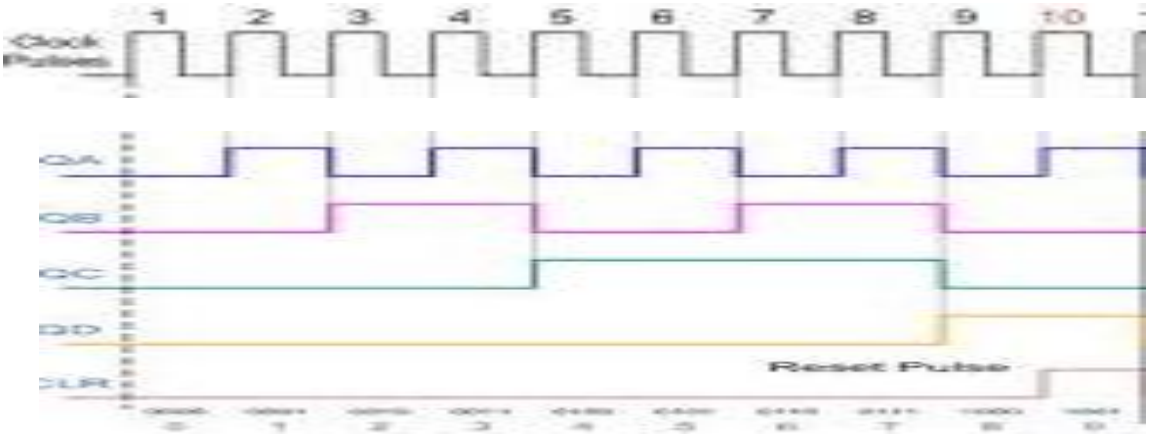


http://www.google.iq/search?q=four+bit+binary+counter&biw=1440&bih=763&tbm=isch&tbo=u&source=univ&sa=X&ei=1XedUtq6JuTNygO_9IH4CA&ved=0CDQQsAQ#q=binary%20coded%20decimal%20counter&tbm=isch

للتحكم بأعادة دورة العد (Recycling) بعد عد الرقم (9) (1001) هي حذف الرقم (10)(1010) بأستخدام بوابة ليس مع (NAND Gate) وربط خروج هذه البوابة الى مداخل التعديل (CLK) في جميع النطاطات كما موضح في الشكل أعلاه.

يلاحظ في الشكل أن خروج النطاطين الثاني والرابع مربوطان الى البوابة NAND وفي هذه الحالة عندما يصبح خروج النطاطين الثاني والرابع بقيمة (1) وهذه الحالة تحصل عند الوصول لحساب الرقم (10)(1010) فعندها يصبح خروج بوابة NAND بقيمة (0) يؤدي هذا الى تعديل خروج جميع النطاطات المستخدمة على التوالي Asynchronous By Reset .

أما المخطط الزمني لهذه النوعية من العدادات فموضح في الشـــــــــــــــــكل :



http://www.google.iq/search?q=four+bit+binary+counter&biw=1440&bih=763&tbm=isch&tbo=u&source=univ&sa=X&ei=1XedUtq6JuTNygO_9IH4CA&ved=0CDQQsAQ#q=binary%20coded%20decimal%20counter&tbm=isch

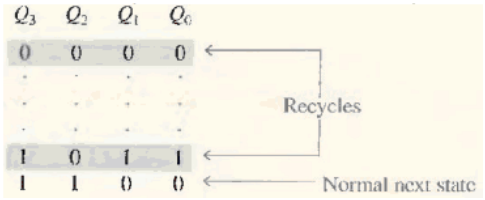
أما جدول الحقيقة لهذا العداد فهو كما يأتـــي :

Clock Pulse	FF3	FF2	FF1	FF0
0	0	0	0	**0**
1	0	0	0	**1**
2	0	0	1	**0**

3	0	0	1	**1**
4	0	1	0	**0**
5	0	1	0	**1**
6	0	1	1	**0**
7	1	1	1	**1**
8	1	0	0	**0**
9	1	0	0	**1**
10	0	0	0	**0**

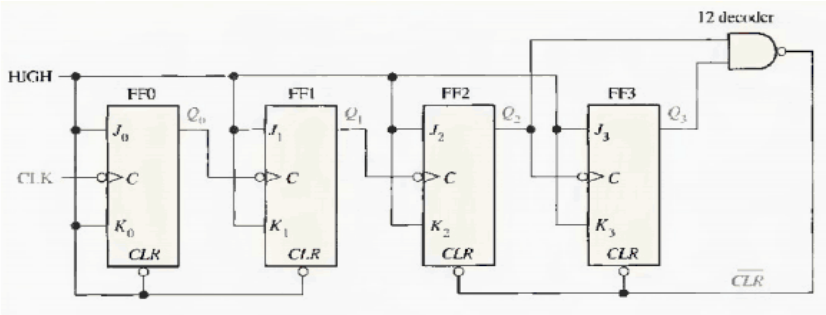
العدادات القاطعة Truncated Counters

كما ذكرنا سابقا فأن العدادات القاطعة هي العدادات التي تقطع دورة العد عند رقم معين أي انها تحسب أرقام أقل من الرقم المحدد في المعادلة التي تم ذكرها آنفا وكمثال على ذلك يمكن تصميم عداد ثنائي رباعي المراحل ولكنه بدلا من أن يكمل دورة العد من الصفر (0) لغاية العدد (15) سنجعله يقطع عملية العد عند العدد(11) أي أنه يعود الى العدد (0) قبل أن يحسب العدد (12) كما مبين في المخطط الآتـــي :



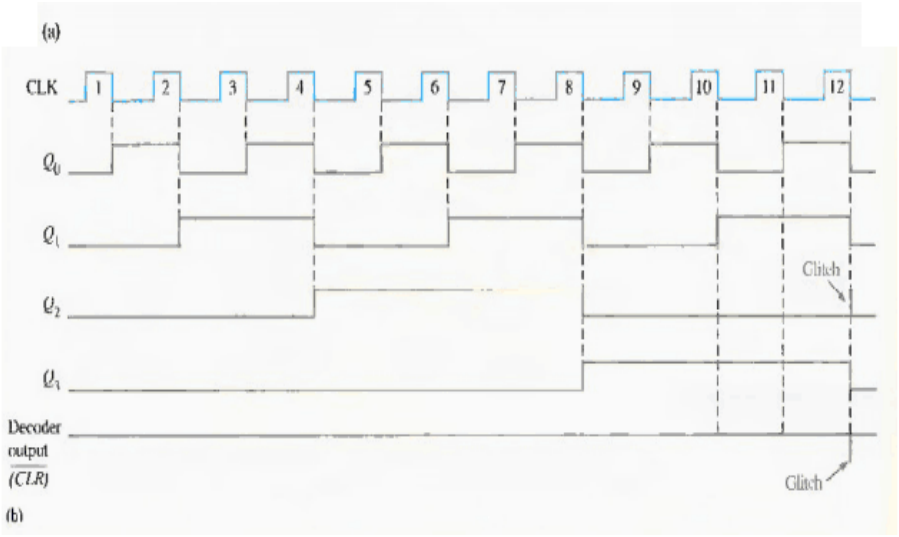
هنا نلاحظ أن Q_1 و Q_0 تعودان الى حالة الصفر بعد حساب العدد $(11)_{10}$ $(1011)_2$ مباشرة وهذا يعني أنه يجب علينا التحكم في ال Q_C وال Q_D عند النبضة الثانية عشر من ساعة التوقيت وجعلها تعود الى الصفر .

بأستخدام بوابة (ليس مع) (NAND) يمكن تعديل خروج النطاطين C و D (Reset C & D Flip Flop) فعند النبضة الثانية عشر يعود العداد بالحساب من العدد $(11)_{10}$ الى العدد $(0)_{10}$ كما في الشـــكل .



http://www.google.iq/search?q=four+bit+binary+counter&biw=1440&bih=763&tbm=isch&tbo=u&source=univ&sa=X&ei=1XedUtq6JuTNygO_9IH4CA&ved=0CDQQsAQ#q=timing+diagram+of+truncated+counters&tbm=isch

أما المخطط الزمني لهذا العداد فموضح في الشـــــــــــــــــــــــــــــــــــــــكل .



http://www.google.iq/search?q=four+bit+binary+counter&biw=1440&bih=763&tbm=isch&tbo=u&source=univ&sa=X&ei=1XedUtq6JuTNygO_9IH4CA&ved=0CDQQsAQ#q=timing+diagram+of+truncated+counters&tbm=isch

أما جدول الحقيقة لهذا العداد فهو كما يأتـــي :

Clock Pulse	Q_3	Q_2	Q_1	Q_0
0	0	0	0	**0**

أعداد : محمد مالك محمد / رئيس مهندسين

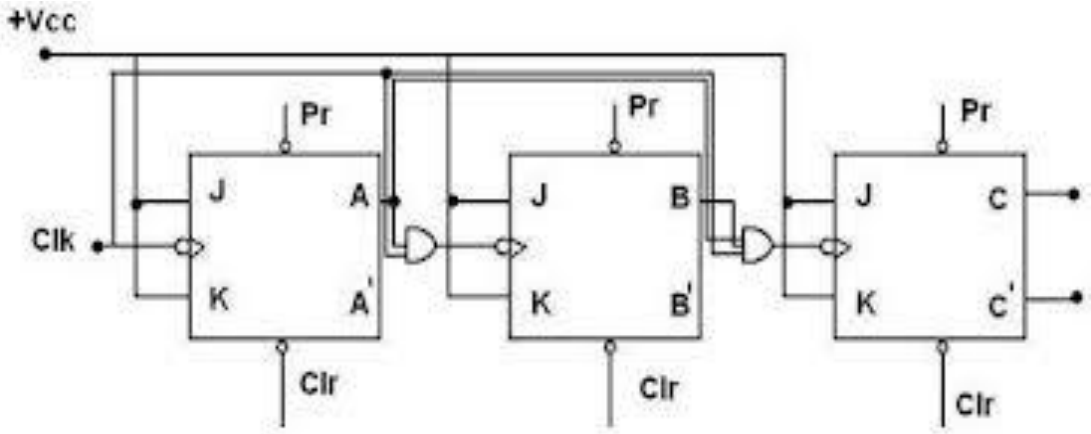
1	0	0	0	**1**
2	0	0	1	**0**
3	0	0	1	**1**
4	0	1	0	**0**
5	0	1	0	**1**
6	0	1	1	**0**
7	1	1	1	**1**
8	1	0	0	**0**
9	1	0	0	**1**
10	1	0	1	**0**
11	1	0	1	**1**
12	0	0	0	**0**

العداد المتزامن Synchronous Counter

في هذا النوع من العدادات يتم قدح Trigger جميع النطاطات المستخدمة في هذا العداد في نفس الوقت بواسطة ساعة التوقيت التي تربط بشكل متوازي الى جميع النطاطات حيث تصل نبضة التوقيت أليها جميعا في آن واحد فتكون عملية التحويل في هذا النوع من العدادات في آن واحد لذلك فأن التسمية الأخرى لهذا العداد هي العداد المتوازي Parallel Counter .

في هذا النوع من العدادات يتم التخلص من التأخير في الزمن الذي يحدث في العداد المتوالي والذي هو بحدود 20 n sec لكل نطاط .

الشكل الآتي يبين أحدى الحالات للعداد الثنائي المتزامن .



http://www.google.iq/search?q=four+bit+binary+counter&biw=1440&bih=763&tbm=isch&tbo=u&source=univ&sa=X&ei=1XedUtq6JuTNygO_9IH4CA&ved=0CDQQsAQ#q=timing+diagram+of+counters&tbm=isch

يمكن تزويد دائرة النطاط بمداخل أخرى Pr و Clr للتحكم في عمل النطاط بدون تأثير ساعة التوقيت وتسمى هذه المداخل :

Pr=PRESET

Clr=CLEAR

كما علمنا سابقا فأن النطاط نوع JK يستجيب للتغير السالب لأشارات الدخول القادمة من ساعة التوقيت وبناءاً على ذلك فأن النطاط A يغير حالته عند الحافة السالبة لجميع نبضات التوقيت .

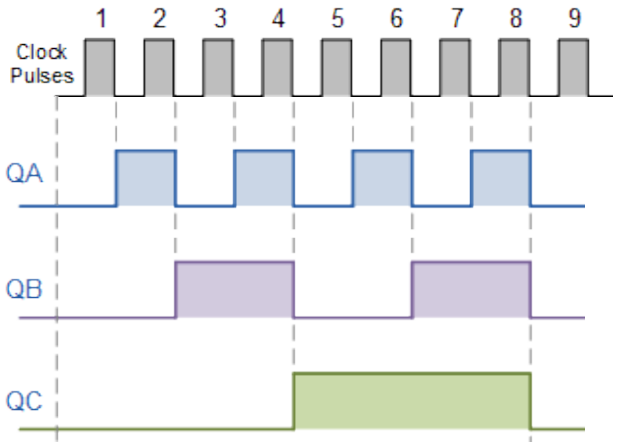
أن الأشارة الخارجة من بوابة AND الأولى تكون بقيمة (1) عندما تكون كل من A=1 ونبضة ساعة التوقيت تساوي (1) ، هذا يعني أن النطاط B يغير حالته عند مرور نبضتين متتاليتين من ساعة التوقيت حيث أنه عند النبضة الثانية ستتغير A من ال (1) الى ال (0) مما يؤدي الى أن خروج بوابة AND يتغير من ال(1) الى ال (0) وهو تغير سالب يؤدي الى تغيير حالة النطاط B .

أن الأشارة الخارجة من بوابة AND الثانية تكون بقيمة (1) عندما تكون كل من A=1 و B=1 ونبضة ساعة التوقيت تساوي (1) ،هذا يعني أن النطاط C يغير حالته عند مرور أربع نبضات متتالية من ساعة التوقيت وهذه الحالة تمثل أحدى

حالات العداد المتوازي المسماة Mod-8 Parallel Binary Counter ، أما جدول الحقيقة Truth Table لهذا العداد فهو كما يأتـــــــــــــــــــــــــــي :

Count	C	B	A
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
0	0	0	0

أما المخطط الزمني لهذا العداد فهو :



http://www.google.iq/search?q=four+bit+binary+counter&biw=1440&bih=763&tbm=isch&tbo=u&source=univ&sa=X&ei=1XedUtq6JuTNygO_9IH4CA&ved=0CDQQsAQ#q=timing+diagram+of+counters&tbm=isch

المصادر :

1- Malvino, Albert Paul
Leach, Donald P
Digital Principles and applications.
2-Sifferlen, Thomas P
Vartanian, Vartan
Digital electronics with engineering applications.
Prentice –Hall, Inc.
Englewood Cliffs, Newgersy, 1970.
3- باري وولارد
الدوائر المتكاملة الرقمية والحاسبات
دار ماكجروهيل للنشر – جمهورية مصر العربية
ترجمة الدكتور عماد الدين خلف الحسيني والدكتور شوقي زكي عبيد
4- مواقع متفرقة على شبكة الأنترنت